

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-199839

(43) 公開日 平成10年(1998) 7月31日

(51) Int.Cl.<sup>8</sup>

H 0 1 L 21/304

識別記号

3 2 1

F I

H 0 1 L 21/304

3 2 1 M

審査請求 未請求 請求項の数7 F D (全 8 頁)

(21) 出願番号 特願平9-367067

(22) 出願日 平成9年(1997)12月24日

(31) 優先権主張番号 7 8 0 1 1 3

(32) 優先日 1996年12月26日

(33) 優先権主張国 米国 (U S)

(71) 出願人 390009597

モトローラ・インコーポレイテッド

MOTOROLA INCORPORATED

アメリカ合衆国イリノイ州シャンバーグ、  
イースト・アルゴンクイン・ロード1303

(72) 発明者 サン・シー・キム

アメリカ合衆国テキサス州プフルジャビル、  
ツイン・クリーク・ドライブ1108

(72) 発明者 ラジーブ・バジャジ

アメリカ合衆国テキサス州オースティン、ボ  
ル・ウォーカー・ドライブ7521

(74) 代理人 弁理士 大貫 進介 (外1名)

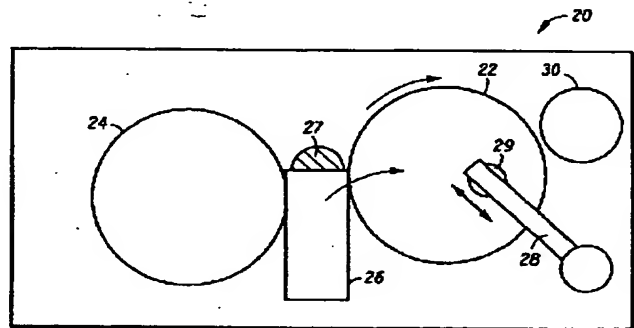
最終頁に続く

(54) 【発明の名称】 半導体素子基板研磨方法

(57) 【要約】

【課題】 2つの異なる物質をコスト効率高く研磨する半導体素子基板研磨方法を提供する。

【解決手段】 微孔構造を有する研磨パッド(34)が2つの異なる物質(56, 58)を研磨する。比較的軟性のパッドを用い、コンディショニングを行うことによって、比較的一定した時間で異なる物質(56, 58)を研磨することができる。これによって、研磨の予測がしやすくなり、単一の研磨パッド(34)を用いて研磨可能な基板数が増大する。研磨パッド(34)は、典型的に、研磨速度が異常に低下した場合ではなく、他の保守が研磨装置に対して行われる場合に交換される。



## 【特許請求の範囲】

【請求項1】半導体素子基板（27，50）を研磨する方法であって：約45未満のショアD硬度を有する第1パッドを含む研磨装置（20）を用意する段階；前記半導体素子基板（27，50）を前記第1パッド上に配置する段階；前記半導体基板（27，50）を研磨する段階；および前記第1パッドのコンディショニングを行う段階；から成ることを特徴とする方法。

【請求項2】前記半導体素子基板（50）は、上面を有する第1パターン層と、前記第1層の上面を覆う第2層とを含み；前記第2層は、第1膜（56）を覆う第2膜（58）を含み；前記第1膜（56）は第1物質を含み、前記第2膜（58）は前記第1物質とは異なる第2物質を含み；前記研磨段階は、前記第1パターン層（55）の上面を覆う前記第2層を研磨する段階から成ることを特徴とする請求項1記載の方法。

【請求項3】前記研磨段階は、前記第1パッドを用いて、少なくとも約500枚の半導体素子基板（27，50）に対して行われることを特徴とする請求項1または2記載の方法。

【請求項4】前記研磨段階の後に、前記半導体素子基板（27，50）にバフ磨きを行う段階を含み、該バフ磨きを行う段階は、前記第1パッドとほぼ同一特性を有する第2パッドを用いることを特徴とする請求項1または2記載の方法。

【請求項5】前記第1物質は、チタン、タンタル、モリブデン、窒化チタン、窒化タンタル、および窒化モリブデンから成る群から選択され；前記第2物質は、タングステン、アルミニウム、および銅から成る群から選択されることを特徴とする請求項2記載の方法。

【請求項6】半導体素子基板（27，50）を研磨する方法であって：第1パッドを含む研磨装置（20）、10枚単位の第1複数の半導体素子基板（27，50）、および10枚単位の第2複数の半導体素子基板（27，50）であって、半導体素子基板（27，50）の各々が第1層を含む前記第1および第2複数の半導体素子基板（27，50）を用意する段階；前記第1パッド、スラリー、および研磨パラメータを用いて、前記第1複数の半導体素子基板（27，50）を研磨する段階；および前記第1パッド、前記スラリー、および前記研磨パラメータを用いて、前記第2複数の半導体素子基板（27，50）を研磨する段階；から成り、前記第1複数の半導体素子基板（27，50）に対して、前記第1層は第1平均研磨速度を有し；前記第2複数の半導体素子基板（27，50）に対して、前記第1層は、前記第1平均研磨速度よりも速い第2平均研磨速度を有することを特徴とする方法。

【請求項7】前記コンディショニングを行う段階は、フッ化炭素素素、ポリプロピレン、ポリエチレン、ポリ塩化ビニル、およびポリイミドから成る群から選択され

た物質を含むコンディショナを用いて行われることを特徴とする請求項1または5記載の方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、一般的に、研磨方法に関し、更に特定すれば、半導体素子基板を研磨する方法に関するものである。

## 【0002】

【従来の技術】化学機械式研磨（CMP：chemical mechanical polishing）は、現在半導体素子において見られる種々の物質を研磨するために用いられている。かかる物質には、タングステン、アルミニウム、および銅のような金属が含まれる。研磨対象の物質の種類には無関係に、同様の技法が用いられる。例えば、研磨システムは、典型的に、研磨プラテンを含み、この上に研磨パッドを取り付ける。プラテンを回転させている間に、半導体ウエハをパッドに押しつけながら、スラリー（slurry）を分与する。スラリーおよび研磨対象層間の化学的反応、ならびにスラリー内の摩擦および研磨対象層間の機械的相互作用の組み合わせにより、層の平面化（planarization）が行われる。

【0003】研磨プロセスの特性に影響を与えるファクタの1つに、用いられる研磨パッドのタイプがある。図1は、ポリウレタン・マトリクス内に分散された複数のファイバ12を含むパッド10を示す。商業的に入手可能なパッドでは、ファイバ12はポリエステルまたはセルロースを含む。このような商業的に入手可能な研磨パッドの1つに、デラウェア州WilmingtonのRodel, Inc. が販売しているSuba 500パッドがある。これはポリエステル・ファイバを有する。図2は、複数のポリマ粒子16および複数のボイド17を含む研磨パッド14を示す。ボイド17は、加熱プロセスの結果として、ポリウレタン・マトリクス18内に形成される。図2に示す構造に類似した構造を有する、商業的に入手可能な研磨パッドに、これもまたRodel, Inc. が製造販売するIC-1000パッドがある。

【0004】図1および図2に示したもののような研磨パッドは、同一研磨処理の間に2つの異なる物質を研磨するには、理想的な条件を与えない。例えば、酸化物層を覆う導電層を研磨する場合、導電性物質は、ウエハの中心と比較して、周辺付近のほうが速く除去される可能性がある。その結果、研磨パッドが酸化物層および導電層に同時に露出されることになる。ここで問題となるのは、グレイジング（glazing）として知られる現象が発生し、パッドの表面が滑らかになってしまうことである。グレイジングの問題を克服するために、例えば、ダイヤモンド・ディスクを用いてコンディショニング（conditioning）を行う。コンディショニングとは、研磨パッドの表面から非常に薄い層を削り取ることで、研磨パッドの元の多孔性および表面組織に近くなるように再生す

ることである。ダイヤモンド・ディスクは、その硬度のために、この除去を行うために用いられている。

【0005】硬質のコンディショニング・ディスクは、特に、導電性物質を研磨する際に用いられると、問題を起こす。商業的に入手可能なダイヤモンド・ディスクはダイヤモンド粒子を含み、ニッケルのようなめっき金属(plated metal)によってディスク上の適所に保持されている。導電層を研磨している間にコンディショニングを行うと、導電層を除去するために用いられるスラリが、典型的に、ダイヤモンドをコンディショニング・ディスク上に保持するために用いられているめっき金属を攻撃する。その結果、時間が経つと、ディスク上のダイヤモンド粒子が分離し、スラリを汚染し、特に、ウエハ上のすりきずや多量の粒子残の原因となる可能性がある。

【0006】同一研磨工程の間の導電性物質および非導電性(酸化物)物質の研磨の問題の他にも、同一工程において2つの異なる導電性物質を研磨する場合にも問題がある。例えば、チタン/窒化チタン層上に堆積されているタングステン層を研磨する場合、タングステンおよびチタン物質の研磨特性は大きく異なる。チタンおよび窒化チタンは、タングステンの研磨に最適化されたプロセスを用いると、研磨が比較的困難な物質である。チタンおよび窒化チタンを良好に研磨するスラリの調合では、他のスラリ程速くタングステンの研磨は行えない。しかしながら、これら他のスラリは、チタンまたは窒化チタンを除去するには非効率的である。殆どの場合、例えば、タングステンのような1つの物質に対する研磨条件を最適化すると、チタンまたは窒化チタンのような他の物質の研磨特性の低下につながる。

【0007】

【発明が解決しようとする課題】したがって、2つの異なる物質をコスト効率高く研磨することが可能であり、製造環境に資する研磨プロセスを確立することが、本業界では必要とされている。

【0008】

【課題を解決するための手段】本発明では、微孔構造を有する研磨パッドを用いて、2つの異なる物質を研磨する。比較的軟性のパッドを用い、コンディショニングを行うことによって、比較的一定した時間で異なる物質を研磨することができる。これによって、研磨の予測がしやすくなり、単一の研磨パッドを用いて研磨可能な基板数が増大する。研磨パッドが交換されるのは、典型的に、研磨速度が異常に低下した場合ではなく、他の保守が研磨装置に対して行われる場合である。

【0009】

【発明の実施の形態】添付図面に、限定ではなく一例として、本発明を示す。これらの図面では、同様の参照番号は同様の素子を示す。

【0010】図面内の素子は簡略化および明確化のために描かれており、必ずしも同一の縮小率で描かれたもの

ではないことを、当業者は認めよう。例えば、図における素子のあるものは、その寸法が他の素子に対して誇張されており、本発明の実施例(群)の理解を深めるのに役立つように配慮されている。

【0011】半導体素子基板を研磨するプロセスには、2つの異なる物質を含み、双方共同一の研磨工程において研磨されることがある。一実施例では、タングステン層が、下地のチタンまたは窒化チタン層と共に研磨される。これらの層を研磨するために、半導体素子基板を研磨パッド上に配置する。研磨パッドは、現在当業界において仕上げパッド即ちバフ・パッド(buff pad)として用いられているものとよく似た、支持層上に形成された微孔質構造を有する、ポリマをベースとしたパッドを含む。硝酸第二鉄( $\text{Fe}(\text{NO}_3)_2$ )およびアルミナ粒子を含む研磨スラリを用いて、タングステン層を除去する。同じパッドおよびスラリを用いて、下地のチタンまたは窒化チタン層を除去する。

【0012】チタンおよび窒化チタンは典型的に除去が一層困難であるので、仕上げパッド即ちバフ・パッドを用いて物質を除去するだけでは、不十分な可能性がある。したがって、一実施例では、仕上げパッドまたはバフ・パッドのコンディショニングを行い、適切な研磨が得られるように、十分に多孔性の表面を確立即ち維持する。パッドのコンディショニングは、半導体素子基板の研磨の前、最中、または後に行われる。ここで用いる場合、半導体素子基板は、単結晶半導体ウエハ、絶縁物上半導体ウエハ(SOI)等のような、半導体素子を形成するために用いられるあらゆる基板を含む。

【0013】図3は、研磨プラテン22および仕上げプラテン24を含む研磨装置20を示す。研磨アーム26が、研磨すべき層を含む半導体素子基板27を保持し、基板27を研磨プラテン22上に移動させる。次に、基板27は回転されながら、研磨プラテン22に押しつけられ、研磨が開始される。研磨プラテン22は、研磨パッド(図3には示されていない。図4を参照のこと)を含む。基板27の研磨の間、研磨装置のコンディショニング・アーム28が、研磨プラテン22上の研磨パッドに対抗して、コンディショニング・ディスク29を押圧する。コンディショニング・ディスク29は、コンディショニング・アーム28に沿って、プラテン22のエッジの中心からエッジまで振動する。コンディショニング・ディスク29は、研磨パッドの表面が適当に多孔性のある状態に復元するのに役立つ。研磨は、研磨対象の層が基板27から所望量だけ除去されるまで続けられる。

【0014】物質の除去の後、研磨アーム26は基板27を仕上げプラテン24上に移動させる。仕上げプラテン24も回転プラテンであり、従来の研磨に典型的に用いられているパッドよりもかなり軟性の仕上げパッド即ちバフ・パッドを含む。仕上げプラテン24上で軟性の高いパッドを用いる目的は、半導体素子基板27の露出

面を従来より滑らかくし、基板27の表面付近に存在する残留研磨粒子を除去するためである。

【0015】本発明によれば、研磨プラテン22上で用いられている研磨パッドは、従来の仕上げパッド即ちバフ・パッドによく似ている。一実施例では、同じタイプのパッドが、プラテン22、24双方に用いられている。図4は、本発明にしたがって用いられる研磨パッド34の断面図である。パッド34の構造は、図1および図2に示した従来の研磨パッドと比較すると、仕上げパッド即ちバフ・パッドに典型的に用いられている構造の方に似ている。

【0016】図4の研磨パッド34は、複数の垂直方向に向けられた長孔36を含み、ポリマ支持層38上に規則正しく配列されている。隣接する孔36は、ハニカム構造によく似た、共通のセル壁を共有する。しかしながら、孔は、パッドの上側から見た場合は、六角形状をなす必要はない。図4に示す孔構造は、ときとして、微孔ポリマ構造と呼ばれている。対照的に、図1および図2に示したような、半導体素子基板から層を除去するために用いられる従来技術の研磨パッドは、不規則に分散された孔、ファイバ、またはフィラを含み、規則正しい垂直方向の方位付けはなされていない。

【0017】本発明にしたがって用いられる研磨パッド34と、従来の研磨パッドとの間の他の相違は、2つのタイプのパッドの硬度にある。研磨パッドにとって、研磨の間半導体素子基板と接触する研磨パッドの層は、硬度によって特徴付けることができる。パッド34を参照し、支持層38ではなく、孔を有する層36を硬度測定の対象とする。本発明による研磨に用いられるパッドは、約45未満のショアD硬度(Shore D hardness)を有し、通常は約35未満である。図1および図2に示したようなパッドのショアD硬度は、典型的に50を超え、通常60の方に近い。

【0018】一実施例では、基板27を研磨するために用いられる研磨パッド34は、デラウェア州WilmingtonのRodel, Inc. が製造販売するPolitex パッドである。他の適切なパッドには、Rodel のUR100, 750, および205パッドが含まれる。他のパッド製造者からの同等のパッドを用いることも可能である。

【0019】上述のように、研磨パッド34は、従来の研磨に用いられる研磨パッドよりも柔らかい。コンディショナ(conditioner)を用いて、基板の研磨前、最中、または後にパッドのコンディショニングを行う。本発明では、これまでのものよりも一層細かくしかも柔らかい研磨パッドが用いられているので、パッドにコンディショニングを行うある種の従来からの手段は用いてはならない。例えば、図1および図2に示したような従来の研磨パッドのコンディショニングまたはグレージング除去(deglaze)を行うために用いられるダイヤモンド・ディスクは、研磨パッド34のコンディショニングを行うた

めには、用いてはならない。ダイヤモンド・ディスクを用いると、ディスク上のダイヤモンド粒子によって研磨パッド34の微孔構造が寸断されたり、あるいは激しく傷つけられることになる。

【0020】したがって、本発明によれば、異なるタイプのコンディショナを用いる。かかるコンディショナは、図5に示すようなコンディショニング・ディスク29である。図5は、このディスク29の底面図を示す。言い換えると、図5が示すのは、コンディショニングの間、研磨プラテン22上で研磨パッド34に対して押しつけられるコンディショニング・ディスク29の表面である。図示のように、コンディショニング・ディスク29は、ディスク・ベース40および複数のリッジ42を有する。これらは図6をみるとわかる。リッジ42はディスク・ベース40から突出し、研磨の間研磨パッド34に接触する。一実施例では、基体40およびリッジ42はフッ化炭化水素(ポリトリフルオロクロロエチレン(polytrifluorochloroethylene), ポリテトラフルオロエチレン(polytetrafluoroethylene), フッ素化エチレン-プロピレン(fluorinated ethylene-propylene), ポリフッ化ビニリデン(polyvinylidene fluoride) (PVDF) 等), ポリプロピレン, ポリエチレン, ポリ塩化ビニール(polyvinyl chloride), およびポリイミド、または容易に加工可能で所望のリッジ構造を得ることができ、同様に滑らかで化学的に抵抗力のある物質で作られる。一特定実施例では、コンディショニング・ディスク29は、比較的安価であり、しかも所望の特性を殆ど有しているので、PVDFで作られている。

【0021】図5に示すようなリッジ構造は、本発明を実施する際に用いなくてもよい。更に、コンディショニング素子が円形のディスクである必要もない。例えば、スキージ(squeegee) (刃) またはブラシを用いて、パッド34に傷をつけることなく、研磨パッド34のコンディショニングを行うことも可能である。ディスク29を用いる場合、ディスク29はプラテン22の中心およびエッジ間で振動し、基板27を研磨する研磨パッド34の部分全体を均一にコンディショニングしなければならない。

【0022】図7ないし図10は、本発明の一実施例にしたがって研磨される半導体素子基板50の断面図を示す。半導体素子基板50は、典型的に、トランジスタ、ダイオード、コンデンサなどのような回路を含むが、図7ないし図10には示されていない。先に述べたように、本発明は、特に、単一の研磨処理において異なる物質を処理する際に有用である。図7ないし図10に示しこれに基づいて説明する実施例は、導電プラグの形成に用いられる場合があるような、チタン/窒化チタン層を覆うタングステン層を研磨する際に、本発明を実施することの有用性を示すものである。しかしながら、本発明はこれら特定の物質の研磨や、導電プラグの形成に限定

される訳ではないことを認識することは重要である。

【0023】図7の半導体素子基板50は金属相互接続部52を含み、これを反射防止皮膜(ARC: antireflective coating)54が覆っている。金属相互接続部52は、アルミニウム、銅またはシリコンとのアルミニウム合金、銅等を含む。ARC54は、典型的に、窒化チタン、窒化タンタル、窒化アルミニウム等を含む、金属窒化物である。

【0024】レベル間誘電体(ILD: interlevel dielectric)層55が、金属相互接続部52およびARC54上に堆積され、これにエッチングを行って、金属相互接続部52の上面部分を露出させるバイア開口を形成する。ILD層55は、化学的に堆積された酸化物質を含み、この酸化物質はドーブされていてもドーブされていなくてもよい。バイア開口のエッチングには、従来の異方性ドライ酸化物エッチング技法を用いる。

【0025】バイア開口を形成した後、ILD層の上面およびバイア開口内に、接着、バリア膜およびプラグ充填膜を連続的に堆積することによってプラグ層を形成する。一実施例では、チタン膜をILD層55上全体に堆積し、部分的にアンモニアと反応させて窒化チタンを形成し、接着/バリア膜56を形成する。接着/バリア膜56を形成した後、プラグ充填膜58を堆積する。一実施例では、この物質はタングステンを含む。開口の外側にあるプラグ充填膜58および接着/バリア膜56の双方は、除去される。プラグ充填膜58および接着/バリア膜56は、異なる物質を含む。

【0026】図8は、先の接着/バリア膜56からプラグ充填膜58をほぼ除去した後の、半導体素子基板50を示す。先に説明したように、研磨装置20および研磨パッド34を用いて、タングステン層を除去する。一実施例では、タングステンの除去には、Politex 研磨パッドを、酸性の硝酸第二鉄( $\text{Fe}(\text{NO}_3)_2$ )スラリーと共に用いる。接着/バリア膜56に到達したときに、研磨速度を変更する。しかしながら、スラリーまたは研磨パラメータを何ら変更しなくとも、図9に示すように、研磨スラリー・パッドは接着/バリア膜56を除去する。プラグ充填膜58および接着/バリア膜を除去した後、ILD層55のバイア開口内にプラグ60を形成する。

【0027】研磨パッド34を用いて研磨プラテン22上で研磨を行った後、基板50を仕上げプラテン24に移動し、基板50の表面から残留粒子を除去する。一実施例では、塩基性のスラリーを用いて短い誘電体研磨を仕上げプラテン24上で行い、ILD層55に滑らかな表面を与えればよい。この後、水洗浄を行って、残留する塩基性のスラリーを除去する。他の実施例では、仕上げプラテン24上に水のみ(塩基性スラリーは用いず)を導入する。仕上げプラテン24は、研磨パッド34と同一のパッドを有する。あるいは、仕上げプラテン24上の仕上げ工程は行わなくてもよい。

【0028】プラグの形成が完了した後、図10に示すように、ほぼ完成した半導体素子50が形成される。接着/バリア膜56と同様の別の接着/バリア層62を堆積し、メタライゼーション64のような、第2レベルのメタライゼーションを堆積する。メタライゼーション64は、金属相互接続52と同様である。第2レベルのメタライゼーションが当該素子内のメタライゼーション形成相互接続部の最上レベルである場合、次にパシベーション層66を堆積する。パシベーション層66は、ドーパ酸化物、窒化物、酸窒化シリコン等を含む。

【0029】他の実施例では、ILD層55は、接点開口や、二重ダマシーン・プロセス(dual damascene process)のための相互接続チャネルのような他のパターンを含む。更に他の実施例では、接着/バリア膜56は、タンタル、窒化タンタル、モリブデン、窒化モリブデン等を含む。他の実施例では、相互接続チャネル内の相互接続部は、相互接続層を堆積し研磨することによって形成する。相互接続層は、接着/バリア膜およびメタライゼーション膜を含む。この接着/バリア膜は、接着/バリア膜56について提示したいずれかの金属を含むことができる。メタライゼーション膜は、アルミニウム、銅またはシリコンとのアルミニウム合金、銅等を含む。これらの膜を堆積した後、研磨パッド34を用い、導電プラグ60を形成したのと同様の方法を用いて、接着/バリア膜およびメタライゼーション膜を研磨する。

【0030】研磨パッド34およびコンディショニング・ディスク29を用いることによって、接着/バリア膜56およびプラグ充填膜58の研磨速度を最適化する。従来技術の試みは、典型的に、接着/バリア膜56の研磨速度を犠牲にして、プラグ充填膜58の研磨速度を最適化するか、あるいは典型的にプラグ充填膜58の研磨速度を犠牲にして、接着/バリア膜56の研磨速度を最適化することに重点を置いていた。また、従来技術では、接着/バリア膜56およびプラグ充填膜58の研磨速度は、基板を研磨する量が増える程低下する。従来の研磨パッドは、約基板200枚毎に1回交換する。

【0031】予想外に、接着/バリア膜56およびプラグ充填膜58の適度な研磨速度が得られた。プラグ充填膜58の研磨速度は、約700枚のウエハで、毎分3300ないし3700オングストロームで比較的安定に保たれた。図11は、本発明の実施例と、従来の研磨パッドを用いた従来技術の方法とを比較するための、タングステン研磨速度のグラフである。タングステン除去速度が毎分2500オングストローム未満の場合、研磨パッドを交換する必要がある。従来技術のタングステン研磨速度は、約50枚の基板の後、毎分約2500オングストロームとなったことに注意されたい。研磨パッド34はより多くの基板に用いることができるため、機器のダウン・タイムが短縮した。

【0032】接着/バリア膜56の研磨速度は、図12

に示すように、研磨する基板数が増えるに連れて、減少するのではなく、むしろ上昇している。例えば、接着／バリア膜56の平均研磨速度は、最初の10枚の基板では毎分約450オングストロームであり、次の10枚の基板では毎分約500オングストロームであり、最終的に毎分約1000オングストロームに達した。

【0033】単一の研磨パッド34を用いた研磨では、論理的な基板の限界はわかっていない。したがって、研磨パッド34を交換するのは、処理を中止しなければならない保守のように、他のファクタによって研磨パッド34を交換するときに判定された場合であり、研磨速度の過度の低下によるものではない。研磨パッド34は、研磨パッドの交換の間に、少なくとも約500枚の基板を研磨可能でなければならない。限界は未知であるが、単一の研磨パッドを用いて1000枚以上の基板を研磨することが可能である。

【0034】上述の明細書では、具体的な実施例を参照しながら本発明を説明した。しかしながら、特許請求の範囲に記載されている本発明の範囲から逸脱することなく、種々の修正や変更が可能であることを当業者は認めよう。したがって、この明細書および図面は、限定的な意味ではなく、例示的な意味で解釈すべきであり、かかる修正は全て本発明の範囲に含まれることを意図するものである。特許請求の範囲において、ミーンズ・プラス・ファンクション節（群）がある場合は、ここに記載した機能（群）を行う構造を含むものとする。また、ミーンズ・プラス・ファンクション節（群）は、記載した機能（群）を行う構造的均等物および均等な構造も含むものとする。

#### 【図面の簡単な説明】

【図1】従来技術の研磨パッドの断面図。

【図2】別の従来技術の研磨パッドの断面図。

【図3】本発明の一実施例にしたがって用いられる研磨装置の平面図。

【図4】本発明の一実施例にしたがって用いられる研磨パッドの断面図。

【図5】本発明の一実施例にしたがって用いられるコン

ディショニング・ディスクの、底面から見た図。

【図6】図5のコンディショニング・ディスクの断面図。

【図7】本発明の一実施例にしたがって研磨される半導体素子の断面図。

【図8】本発明の一実施例にしたがって研磨される半導体素子の断面図。

【図9】本発明の一実施例にしたがって研磨される半導体素子の断面図。

【図10】本発明の一実施例にしたがって研磨される半導体素子の断面図。

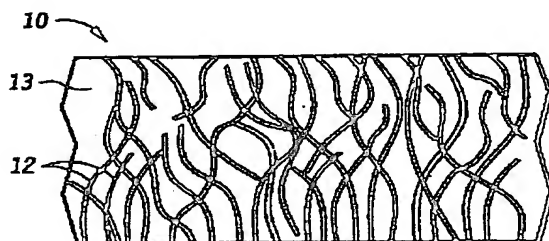
【図11】タングステン除去速度を示すグラフ。

【図12】チタン除去速度を示すグラフ。

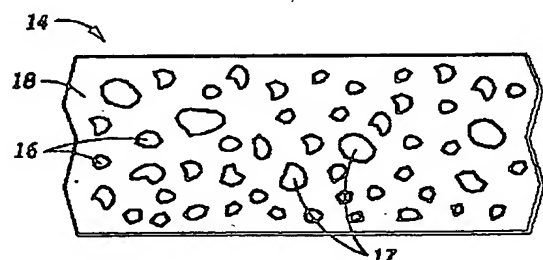
#### 【符号の説明】

- 20 研磨装置
- 22 研磨プラテン
- 24 仕上げプラテン
- 26 研磨アーム
- 27 半導体素子基板
- 28 コンディショニング・アーム
- 29 コンディショニング・ディスク
- 34 研磨パッド
- 36 長孔
- 38 ポリマ支持層
- 40 ディスク・ベース
- 42 リッジ
- 50 半導体素子基板
- 52 金属相互接続部
- 54 反射防止皮膜
- 55 レベル間誘電体
- 56 接着／バリア膜
- 58 プラグ充填膜
- 60 プラグ
- 62 接着／バリア層
- 64 メタライゼーション
- 66 パシベーション層

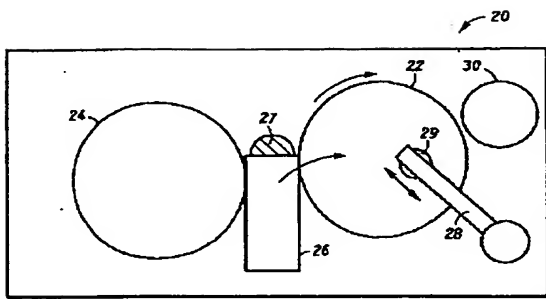
【図1】



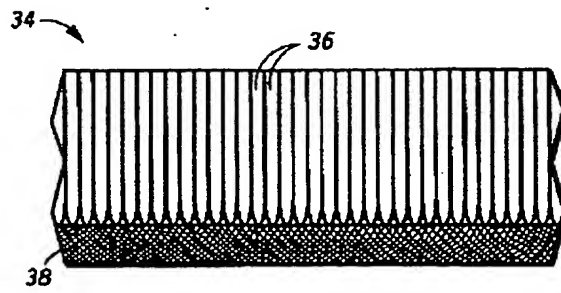
【図2】



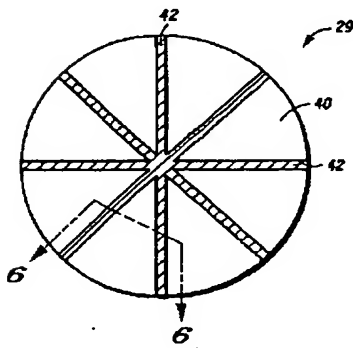
【図3】



【図4】



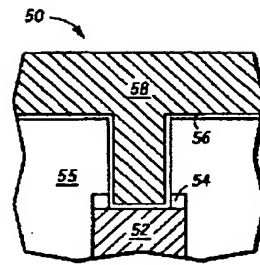
【図5】



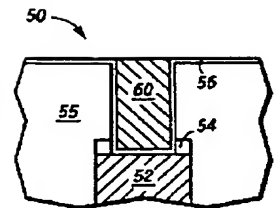
【図6】



【図7】

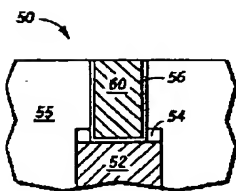


【図8】

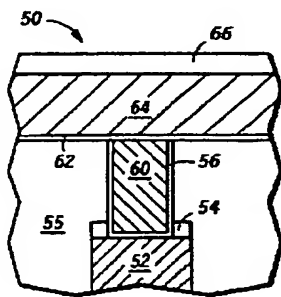


【図11】

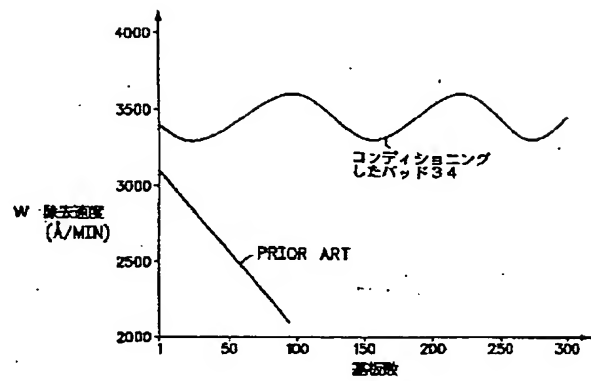
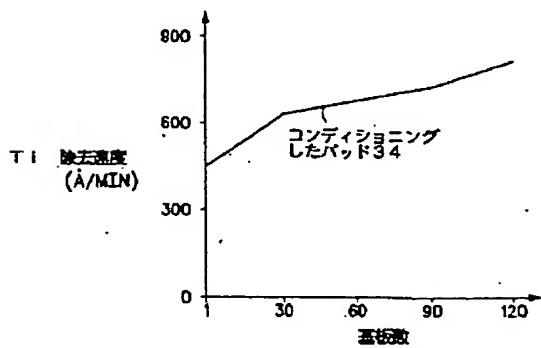
【図9】



【図10】



【図12】



フロントページの続き

(72)発明者 マーク・エイ・ザレスキ  
アメリカ合衆国テキサス州オースチン、ツ  
イステッド・ツリー・ドライブ4408